

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010021296 A  
(43)Date of publication of application: 15.03.2001

---

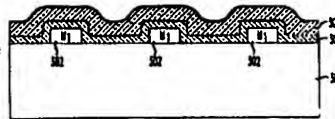
(21)Application number:	1020000046902	(71)Applicant:	LUCENT TECHNOLOGIES INC.
(22)Date of filing:	14.08.2000	(72)Inventor:	ABDELGADIR MAHJOUN ALI BIBEKKU SAKUSENA
(30)Priority:	19.08.1999 US 99 377374		
(51)Int. Cl.	H01L 21/205		

---

(54) INTEGRATED CIRCUIT AND PROCESS FOR DEPOSITING HIGH-ASPECT RATIO FUNCTIONAL GAP FILL THEREOF

(57) Abstract:

PURPOSE: An extra large-scale integrated circuit having a high aspect ratio function is provided to form low-k dielectric ILDs having such an integrated circuit structure that avoids the harmful trend of high density plasma enhanced CVD (HDP-CVD) and, at the same time, reduces the occurrence of voids.



CONSTITUTION: An integrated circuit manufacturing technology by which a protective layer(303) is deposited on the conductive elements (302) of a specific layer in a multilayered integrated circuit is provided. A low-k dielectric layer(304) is deposited on a protective film forming material layer by, preferably, HDP-CVD. The process fills up the gap of 300nm between metallic functions with a high aspect ratio conductive function (3 or more than). By means of the fluorine embodied, the interline capacitance CL-L of the low-k dielectric film is reduced by 10% as compared with the conventional non-doped dielectric material.

COPYRIGHT 2001 KIPO

Legal Status

BEST AVAILABLE COPY

공개특허특2001-0021296

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl. <sup>6</sup>  
H01L 21/205(11) 공개번호 특2001-0021296  
(43) 공개일자 2001년03월15일

(21) 출원번호 10-2000-0046902

(22) 출원일자 2000년08월14일

(30) 우선권주장 9/377,3741999년08월19일미국(US)

(71) 출원인 루센트 테크놀로지스 인크  
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)(72) 발명자 아브델가디르마조브알리  
미국플로리다32828올란도퍼츠윌리엄웨이507  
샤제나비베크  
미국플로리다32822올란도어파트먼트306벤트파인드라이브5729

(74) 대리인 이병호

심사청구 : 없음

(54) 집적 회로의 고-에스펙트비 외형들을 겹칠 필요가 있는 증착방법

## 요약

본 발명은 다중-레벨 집적 회로의 특정 레벨에서 도전 요소들 상에 보호층이 증착되는 집적 회로를 제조하기 위한 기술에 관한 것이다. 로우-k 유전체 물질의 층은 바람직하게는 고 밀도 플라스마 화학 기상 증착(HDP-DVD)(high density plasma chemical vapor deposition)에 의해 상기 보호층 상에 증착된다. 이 명세서에 개시된 방법은 상기 외형들 사이에 300nm 이하의 간격을 갖는 도전 외형들의 고 에스펙트비(3 또는 그 이상의 정도)에 대한 겹칠 능력들을 현저히 향상시키도록 한다. 예시적인 실시예에서 클로 오르를 혼합함으로써, 종래의 도핑되지 않은 유전체 물질들과 비교했을 때, 라인-대-라인(line-to-line) 용량(C

L-L)에서 10% 정도의 감소가 실현될 수 있다.

## 대표도

도3

## 색인어

겹칠, 도전 요소, 보호층, 기판, 유전체

## 명세서

## 도면의 간단한 설명

도 1은 본 발명의 처리 흐름도.

도 2a 및 도 2b는 본 발명의 예시적인 실시예에서 로우-k(low-k) 유전체 물질의 증착에 대한 예시적인 방법 흐름의 흐름도.

도 3은 본 발명의 예시적인 실시예의 단면도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

301 : 기판 302 : 도전 요소

303 : 보호 물질층 304 : 로우-k 증착층

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야 종래기술**

발명의 분야본 발명은 고 애스펙트비 외형들(features)을 갖는 초 대규모(ultra-large scale) 및 대규모 집적 회로들에 로우-k의 유전체 물질들을 증착하기 위한 기술에 관한 것이다.

발명의 배경집적 회로들의 소형화와 집적화는 반드시 부딪히게 될 난제인 외형 사이즈들의 축소 및 라인 간격의 감소로 이어져 왔다. 하나의 이와 같은 난제는 층간(intra-level)(또는 라인-대-라인) 용량(C

$L-L$ )을 최소화하고, 도체들 사이에 적당한 갭 필(gap fill)을 제공하는 것이다. 용량은 상기 도체들 사이의 비유전율에 비례하기 때문에, 집적 회로에서 상기 층간 유전체(ILD)로서 사용되는 상기 물질의 유전체 상수의 감소는 상기 도체들 간의 기생 용량을 감소시키는 결과를 가져온다. 플루오르로 도핑된 실리콘 이산화물(SiO<sub>2</sub>F) 막들(예를 들어, 플루오르실리케이트(fluorosilicate) 유리(FSG))은 종종 낮은 유전체 상수(로우-k) ILD로 사용된다.

소형화와 집적화의 또다른 난제는 외형들 간에 빈 공간들(voids)의 발생을 감소시키는 것이다. 이것은 외형 높이 대 그에 인접한 외형까지의 거리의 레이션이 적당하게 되면 특히 그렇다. 많은 증착 기술들에 있어서, 인접한 외형들 사이의 상기 갭을 채우는 것("갭 필링(gap filling)")은 어렵고, 그 결과 빈 공간들이 상기 외형들 사이에서 종종 발생한다. 상기 층간 유전체(ILD)에서 빈 공간들은 상기 빈 공간에 있는 트랩된 불순물들로 인한 신뢰성과 관련된 문제를 일으킬 뿐만 아니라, 다음의 평탄화 단계 또는 다른 처리가 되는 동안 빈 공간이 열려진다면("opened") 금속 라인들에서 파손이 발생할 수 있다. 따라서, 갭 필링은 빈 공간들의 발생 감소를 이룰 수 있다는 것을 보증할 필요가 있다.

상기 층간 유전체의 갭 필 능력을 증가시키는 한 기술은 고 밀도 플라즈마 화학 기상 증착(HDP-CVD)이다. HDP-CVD는 웨이퍼 상에 플라즈마가 생성되고 물질(예를 들어, 실리콘 이산화물)이 증착되는 기술이다. HDP-CVD는 상기 플라즈마의 존재로 인해 발생하는 스퍼터링 성분을 가질 수 있으며, 그것은 상기 웨이퍼에 인가된 rf 바이어스에 의해 활성화된다. HDP-CVD가 저온 증착 능력 및 양호한 갭 필링 능력들과 같은 확실한 이점들을 제공하지만, HDP-CVD는 상기 유전체 물질이 증착하는 동안 금속 외형들의 에칭 및 스퍼터링을 일으킬 수 있다(이와 같은 스퍼터링 및 에칭은 종종 "클리핑(clipping)"이라 함).

**발명이 이루고자하는 기술적 과제**

따라서, 상기 논의된 종래 HDP-CVD 기술들의 손상 경향들을 피하면서 빈 공간들의 발생을 감소시키는(양호한 갭 필) 집적 회로 구조들에 로우-k 유전체 ILD들을 형성하기 위한 기술이 필요하다.

**발명의 구성 및 작용**

발명의 요약본 발명은 도전 요소들 상에 로우-k 유전체를 형성하여 최종 집적 회로를 제조하는 방법을 나타낸다. 상기 방법은 상기 도전 요소 상에 보호층을 형성하고, 이어서 상기 보호층 상에 상기 로우-k 층을 형성하는 것을 포함한다. 상기 보호층은 상기 로우-k 유전체의 증착 동안 상기 도전 요소들을 보호한다. 상기 로우-k 유전체 층은 상기 도전 요소들 사이에 빈 공간들의 발생을 감소시키는 갭 필 방법을 사용하여 증착될 수 있다.

발명의 상세한 설명본 발명은 첨부 도면들을 참조할 때, 이하의 상세한 설명으로부터 가장 잘 이해할 수 있을 것이다. 강조될 점은, 반도체 산업에서 일반적인 실무에 따르면, 상기 다양한 외형들은 일정 비율로 도시될 필요는 없다. 실질적으로, 상기 다양한 외형들의 치수는 설명을 명확하게 하기 위해 임의적으로 증가되거나 감소되어도 된다.

간단히, 본 발명은 로우-k의 증착층을 형성하기 전에 도전 요소들 상에 보호층을 형성하는 것이다. 상기 보호층은 상기 로우-k 층이 증착하는 동안 손상으로부터 상기 도전 요소들을 보호하고, 상기 도전 요소들 사이에서 빈 공간들의 형성을 감소시키는 방법으로 상기 로우-k 층이 증착되도록 한다. 이 결과는 도 3에 도시되어 있다. 기판(301)은 그 위에 도전 요소들(302)이 놓인다. 보호 물질층(303)은 상기 도전 요소들(302) 상에 놓이고, 로우-k 증착층(304)은 상기 보호 물질층(303) 상에 놓인다. 상기 도전 요소들(302)은 고 애스펙트비를 갖고 표준 기술에 의해 상기 기판(301) 상에 배치된다. 상기 보호층(303)은 상기 부식제(corrosive) 및 상기 로우-k 유전체 층(302)의 증착으로 인해 손상되는 경향들로부터 상기 도전 요소들(302)을 보호하는 것이 중요하다. 상기 로우-k 유전체 층(304)은 상기 2개의 도전 요소들(302) 사이에서 갭 필을 개선하는 기술로 증착된다. 마지막으로, 상기 보호층(303) 및 상기 로우-k 층(304)은 본래의 장소에서 증착될 수 있다. 간단히 기술된 상기 낮은 유전체 상수의 층간 유전체(ILD) 방법의 장점은 상기 도전 요소들이 손상되지 않고 도전 요소들 사이에서 실현될 수 있는 것이다.

상기 기판(301)은 예시적으로 반도체 또는 유전체이다. 상기 도전 요소들(302)은 상기 기판(301)에 대해 솟아 올라있고, 집적 회로의 예시적인 배선들이며, 3(또는 그 이상) 정도의 애스펙트비를 가질 수 있다. 상기 도전 요소들은 상기 집적 회로 산업에서 사용되는 금속, 금속 스택들 또는 임의의 다른 도전 물질일 수 있다. 예시적으로, 본 발명은 요구되는 외형들 사이의 갭-필에서 집적 회로들의 다양한 응용들이 사용될 수 있는 것이 명백하지만, 상기 요소들(302)은 AlCu 배선들이다. 상기 보호층(303)은 상기 예시적인 실시예에서 도핑되지 않은 실리콘 유리(USG)이지만, 상기 로우-k 유전체 층의 증착 동안 상기 도전 요소들을 보호하기 위한 적당한 임의의 물질일 수 있다. 게다가, 상기 바람직한 실시예에서 상기 로우-k 물질은 FSG이며, 로우-k 층간 유전체를 지키기 위한 다른 물질들을 사용하는 본 발명의 사전 설명 내에 있다.

도 1은 기초 방법 시퀀스를 나타낸다. 단계(I)는 상기 웨이퍼의 기초 가열 단계이다. 단계(II)는 상기 보호층의 증착 단계이다. 단계(III)는 로우-k 증착 개시 단계이다. 단계(IV)는 주 로우-k 유전체 증착 단계이다. 도 2a 및 도 2b는 예시적인 방법 매개변수들을 갖는 상기 예시적인 실시예에 대한 상기 방법 시퀀스를 나타낸다. 도 2a 및 도 2b에 나타난 매개변수들을 처리하기 위한 범위는  $\pm 20\%$ 로 예상된다. 예를 들어, 단계(a)에서 상기 예상된 BRF 파워 범위는 640W 내지 960W이다.

HDP-CVD 막들에서 수소는 바람직하지 않은 요소이고 상기 막들에서 그 용량(content)은 상기 증착 온도에 반비례하기 때문에, 상기 보호층 증착의 개시 동안 수소 확산이 최소화되도록 상기 기판(301)을 적당히 미리 가열하는 것이 필요하다. 이것은 종종 결합되어 있지 않은 덩글링 본드(dangling bonds)를 갖는 과잉 수소를 감소시키므로써 바람직하지 않은 트랩들(undesired traps)로서 동작한다. 도 1로 돌아가서, 단계(a)는 초기 소스-단지 가열 단계에 대한 상기 예시적인 매개변수들을 나타낸다. 예시적으로, 인가된 물질들-5200 센츄라 울티마 고 밀도 플라즈마 화학 증기 시스템(Applied Materials-5200 Centura Ultima High Density Plasma Chemical Vapor System)은 상부(T) 및 측면(S) 코일 rf 구동 소스들(또는 SRF)에 의해 지속되는 소스 플라즈마를 갖는 상기 증착 챔버(chamber)로서 사용될 수 있다. 상기 가열 단계는 상기 웨이퍼의 가열로 인한 상기 플라즈마로부터의 방열로 발열하는 예시적인 가열 단계이다. 상기 웨이퍼 바이어스가 이 단계에서 끊기고, 이것은 물리하게 상기 물질층(302)에 강한 충격을 줄 수 있기 때문에 이온 충격(bombardment)에 의해 가열되지 않는다. 상기 기판이 적당히 가열된 후, 상기 보호층(303)의 증착은 이 단계에서 스퍼터링(sputtering)도 피하도록 상기 웨이퍼 바이어스를 끄는 것이 수행된다. 이 단계의 매개변수들은 상기 예시적인 실시예에 대한 도 2a의 단계(b)에 나타낸다. 보호층(303)의 최종 두께는 150 Å와 비슷하다. 상기 보호층(303)은 종종 보호되지 않는 고 밀도 플라즈마 화학 증착 단계들이 발생하는 클리핑(clipping)으로부터 상기 도전 요소들을 보호하는 것뿐 아니라, 상기 로우-k 유전체 물질에 사용된 임의의 물질들의 부식하는 경향들로부터 상기 도전 요소들(302)을 효과적으로 보호하는 것도 중요하다. 상기 요소들(302)을 적당히 보호하는 확실한 두께로 상기 보호층(303)을 유지하는 것이 중요하지만, 상기 층은 요소들(302) 사이에 있는 상기 바람직한 로우-k 물질에 물리하게 충격을 가하거나 그 목적을 무효로 하도록 할 수 있는 도핑되지 않은 실리콘 유리 층의 너무 두꺼운 두께 때문에 최소한의 두께를 취해야 한다.

상기 예시적인 실시예에 있어서, 도핑되지 않은 실리콘 유리(USG)의 보호층(303)의 상기 증착 조건들과 두께 및 유전체 특성들은 상기 FSG 층이 증착되는 동안 자유 플루오르의 부식 경향들 및 불화 수소 산(hydrofluoric acid)의 형성으로부터 상기 도전 요소들(302)을 보호하도록 선택되어야 한다. 게다가, 본 명세서의 예시적인 실시예에서, 아르곤 스퍼터링은 상기 고 애스펙트비 도전 요소들(302)의 적당한 갭 필을 지키기 위해 사용된다. 이 기술 분야에 숙련된 보통의 사람들이 잘 알고 있는 것과 같이, 금속 외형들과 같은 노출된 도전 요소들은 HDP-CVD 방법에서 아르곤 스퍼터링 동안, 특히, 과도 전류를 미리 조절한(preset transient) 상기 초기 바이어스 무선 주파수(BRF) 동안 클리핑할 수 있다. 상기 보호층(303)은 상기 클리핑을 감소시키기 위해 사용된다.

상기 보호층(303)이 증착된 후, 상기 로우-k 층(304)의 증착이 시작된다. 상기 로우-k 층 증착의 초기 상태(phase) 동안(도 2a 및 도 2b의 예시적인 실시예에서 단계들(c부터 g)에 나타낸), 상기 상부(T)와 측면(S) 및 바이어스(BRF) 코일들은 조심스럽게 제어된다. 처음에 상기 바이어스 코일이 끊어져 상기 상부 및 측면 코일들이 수소 확산 및 HF 형성을 최소화하기 위해 상기 기판의 열적 특징들을 유지하도록 한다. 또한, 초기에 상기 BRF는 상기 보호층(303) 및 궁극적으로 상기 도전 요소들(304)을 손상시킬 수 있는 물리적 스퍼터링 성분을 피하기 위해 끊어진다. 상기 로우-k의 적당한 두께를 얻은 후, 상기 BRF 파워는 증착을 위해 적당한 기판 온도를 유지하도록 감소된 상기 상부 및 측면 코일 파워를 갖는 낮은 레벨에서 턴 온 될 수 있다.

상기 보호층(303)이 증착되고 상기 로우-k 증착층(304)의 개시가 완료되자마자, 상기 로우-k 유전체 층(304)의 주 증착 단계가 시작된다. 상기 예시적인 실시예에 대한 매개변수들의 처리는 단계(h)부터 단계(i)에 걸쳐 나타난다. 상기 로우-k 층의 주 증착 동안 로우-k 물질의 기반이 상기 보호층 상에 증착되기 때문에, 상기 로우-k 유전체 층의 주 증착 단계 동안 물리적 스퍼터링 성분들 및 화학적 에칭으로부터 상기 도전 요소들의 보호를 확실히 하도록 상기 BRF 파워는 증가될 수 있다. 게다가, 상기 예시적인 실시예에 있어서, SiF

<sub>4</sub>의 프리커서(precursor) 대 시레인과 산소의 프리커서의 비율은 개시(또는 램프-업(ramp-up)) 및 상기 주 FSG 침전을 포함하는 상기 방법 시퀀스 동안 조심스럽게 유지된다. 이것은 상기 플루오르 농도가 상기 바람직한 로우-k 특징을 얻도록 알맞게 되지만, 플루오르의 마이그레이션(migration)/부식 특성들이 결과로서 생긴 산출물에 해롭다는 것은 중요하지 않다.

상세히 설명된 본 발명은, 본 발명의 장점을 갖는 변화들 및 변형들은 이 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것이다. 본 발명의 돌출한 외형은 집적 회로에서 도전 특성들 사이의 양호한 갭 필을 갖는 로우-k 유전체를 배치시키기 위한 능력에 있으며, 서로에 아주 근접할 수 있고 고 애스펙트비들을 가질 수 있다. 본 발명의 그러한 변형들의 범위는 본 발명의 장점을 갖는 이 기술 분야에 숙련된 보통의 사람들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

**발명의 효과**

본 발명의 로우-k 유전체 층을 형성하기 전에 도전 요소들 상에 보호층을 형성함으로써, 로우-k 유전체 층이 증착하는 동안 발생하는 손상으로부터 상기 도전 요소들을 보호하도록 한 증착 방법을 제공한다.

**(57)청구의 범위****청구항1**

집적 회로 제조 방법에 있어서,

(a) 적어도 하나의 높여진 외형 상에 보호층을 배치하는 단계, 및

(b) 상기 보호층 상에 로우-k 유전체 층을 배치하는 단계를 포함하는 집적 회로 제조 방법.

**청구항2**

제 1 항에 있어서, 상기 로우-k 유전체를 배치하는 상기 단계는 고-밀도 플라즈마 화학 기상 증착(HDP-CVD)에 의해 행해지는 집적 회로 제조 방법.

**청구항3**

제 2 항에 있어서, 상기 HDP-CVD는 스퍼터링 성분 및 에칭 성분을 갖는 집적 회로 제조 방법.

**청구항4**

제 1 항에 있어서, 상기 로우-k 유전체 층은 플루오르실리케이트 유리(fluorosilicate glass)인 집적 회로 제조 방법.

**청구항5**

제 1 항에 있어서, 상기 보호층은 도핑되지 않은 유리(USG)(undoped silicon glass)인 집적 회로 제조 방법.

**청구항6**

제 1 항에 있어서, 상기 보호층을 배치하는 단계는 스퍼터링 성분없이 행해지는 집적 회로 제조 방법.

**청구항7**

제 1 항에 있어서, 단계(b)는 본래의 장소에서(in-situ) 행해지는 집적 회로 제조 방법.

**청구항8**

제 1 항에 있어서, 상기 적어도 하나의 도전 요소는 2.0보다 큰 애스펙트비를 갖는 집적 회로 제조 방법.

**청구항9**

제 1 항에 있어서, 상기 적어도 하나의 도전 요소는 기판 상에 배치되고, 상기 기판은 단계(b)의 일부분 동안 바이어스되는 집적 회로 제조 방법.

**청구항10**

집적 회로 제조 방법에 있어서,

적어도 하나의 높여진 도전 외형 상에 도핑되지 않은 실리콘 유리의 보호층을 증착하는 단계, 및 본래의 장소에서 상기 보호층 상에 로우-k 유전체 층을 증착하는 단계를 포함하는 집적 회로 제조 방법.

**청구항11**

제 10 항에 있어서, 상기 로우-k 유전체는 플루오르실리케이트 유리인 집적 회로 제조 방법.

**청구항12**

제 10 항에 있어서, 상기 적어도 하나의 도전 요소는 기판 상에 배치되고, 상기 기판은 상기 보호층의 증착 전에 발광으로 가열되는 집적 회로 제조 방법.

**청구항13**

제 10 항에 있어서, 단계(a)는 스퍼터링 성분없이 행해지는 집적 회로 제조 방법.

**청구항14**

제 10 항에 있어서, 상기 도전 요소들은 금속 외형들인 집적 회로 제조 방법.

**청구항15**

제 10 항에 있어서, 상기 적어도 하나의 도전 요소는 기판 상에 배치되고, 단계(b)는 상기 기판에 rf 바이어스를 인가하여 스퍼터링 성분과 함께 행해지는 집적 회로 제조 방법.

**청구항16**

집적 회로에 있어서,

기판 상에 배치되는 적어도 하나의 도전 요소를 갖는 기판과,

상기 적어도 하나의 도전 요소 상에 배치되는 보호층, 및

상기 보호층 상에 배치되는 로우-k 유전체 층을 구비하는 집적 회로.

**청구항17**

제 16 항에 있어서, 상기 보호층은 도핑되지 않은 실리콘 유리(USG)인 집적 회로.

**청구항18**

제 16 항에 있어서, 상기 로우-k 유전체 층은 플루오르실리케이트 유리인 집적 회로.

**청구항19**

제 16 항에 있어서, 상기 적어도 하나의 도전 요소는 금속 러너(runner)인 집적 회로.

**청구항20**

제 16 항에 있어서, 상기 적어도 하나의 도전층은 2.0 또는 그 이상의 에스펙트비를 갖는 집적 회로.

**청구항21**

집적 회로에 있어서,

기판 상에 배치된 적어도 하나의 금속 러너를 갖는 기판과,

상기 기판 상에 배치된 도핑되지 않은 실리콘 유리 층, 및

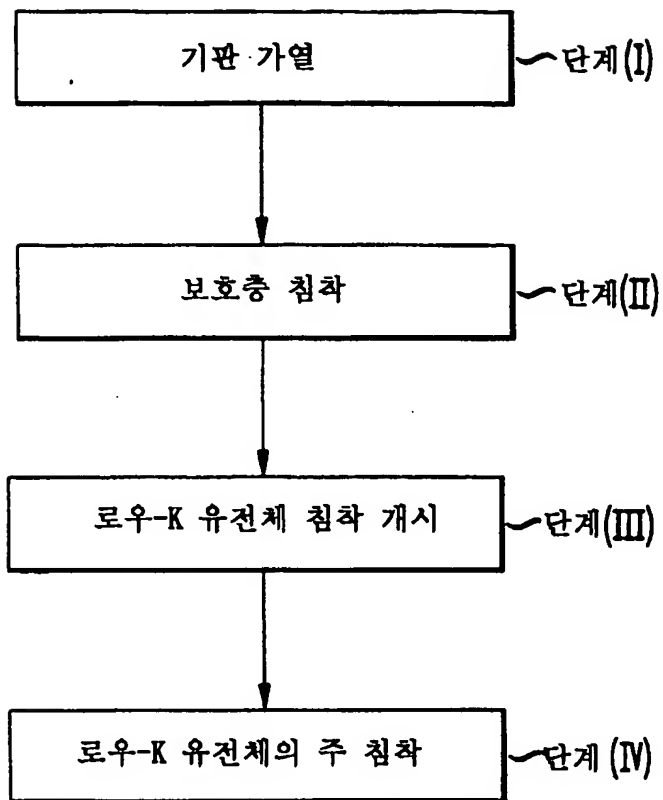
상기 도핑되지 않은 실리콘 유리 상에 배치된 플루오르실리케이트 유리 층을 구비하는 집적 회로.

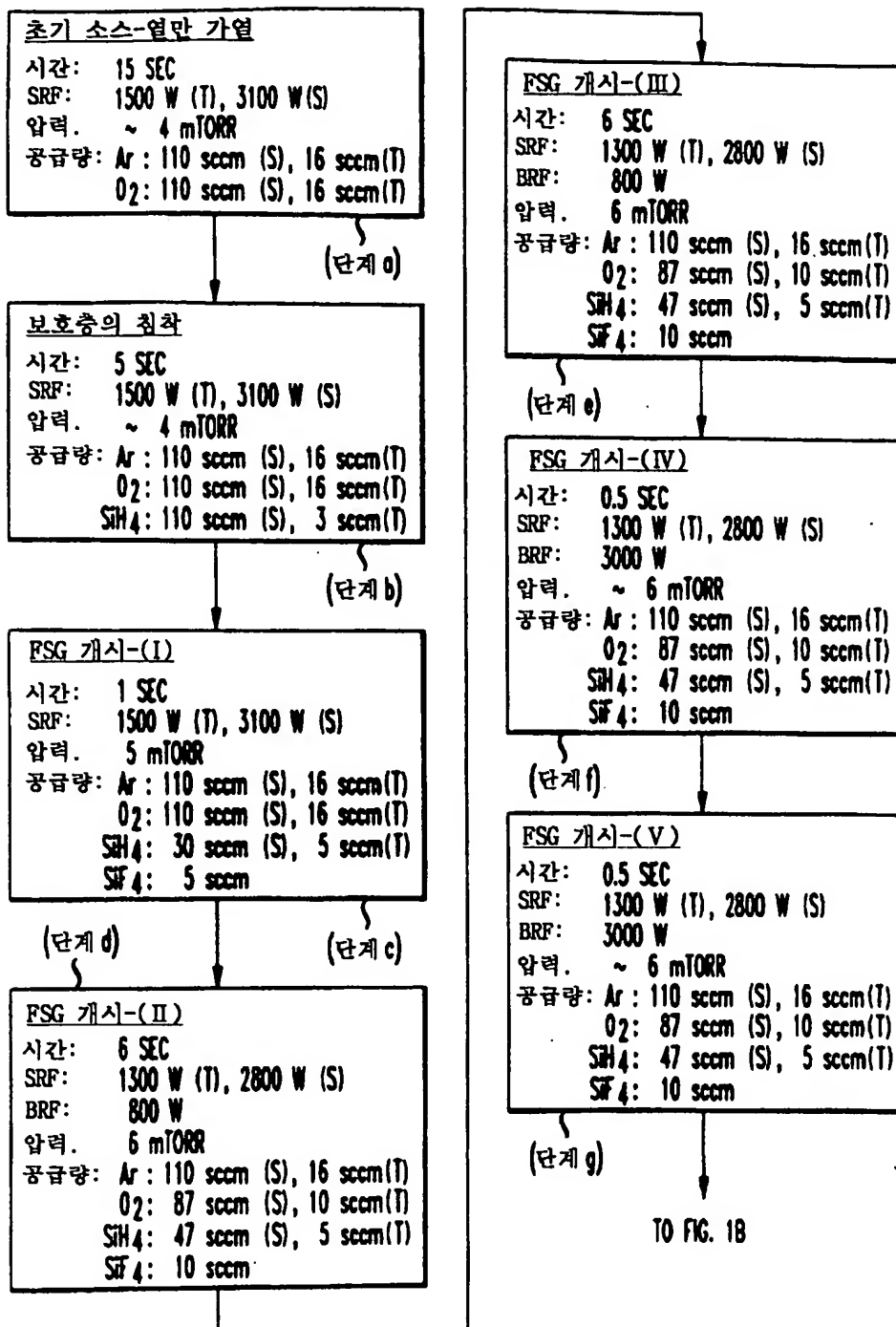
**청구항22**

제 21 항에 있어서, 상기 적어도 하나의 금속 러너는 2.0 또는 그 이상의 에스펙트비를 갖는 집적 회로.

도면

도면1





도면2b



FROM FIG. 1A

주 FSG 침착 단계

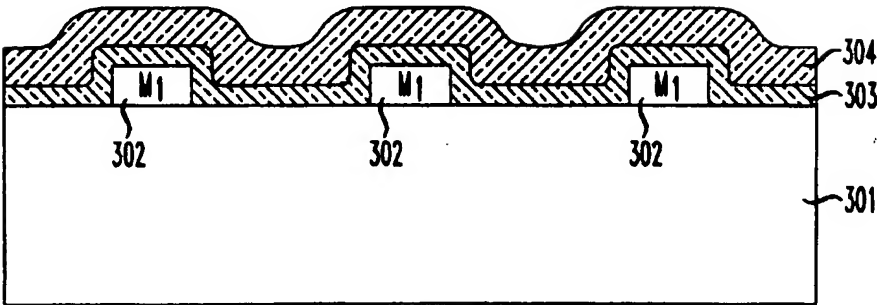
시간: 110 SEC (~6 kÅ)  
SRF: 1300 W (T), 2800 W (S)  
BRF: 3000 W  
압력: ~ 6 mTORR  
공급량: Ar : 42 sccm (S), 8 sccm(T)  
O<sub>2</sub>: 87 sccm (S), 10 sccm(T)  
SiH<sub>4</sub>: 47 sccm (S), 5.5 sccm(T)  
SiF<sub>4</sub>: 30 sccm

(단계 h)

펌프 아웃하고, 표준 공정 셋 오프와  
수분 언로딩 절차를 따른다

(단계 i)

도면3



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**